

(19)日本国特許庁 (J P)

(12) 公開実用新案公報 (U)

(11)実用新案出願公開番号

実開平5-69690

(43)公開日 平成 5年(1993) 9月21日

(51)Int.Cl.⁵

G 0 1 R 31/28

31/26

識別記号

庁内整理番号

F I

技術表示箇所

G 9214-2G

6912-2G

G 0 1 R 31/ 28

M

審査請求 未請求 請求項の数1(全 3 頁)

(21)出願番号 実願平4-9209

(22)出願日 平成 4年(1992) 2月27日

(71)出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町 1 丁目32番 1 号

(72)考案者 中西 正和

東京都練馬区旭町 1 丁目32番 1 号 株式会
社アドバンテスト内

(74)代理人 弁理士 草野 卓 (外 1 名)

(54)【考案の名称】 I C試験装置

(57)【要約】

【目的】 高速動作可能な I C試験装置を提供する。

【構成】 第 1 のシールド導体に芯線に与える電圧と同一の直流電圧を与えてドライビングガード構造で被試験 I Cの端子ピンの直流特性を試験し、機能試験時は第 1 のシールド導体を共通電位に接続し、芯線との間のインピーダンスを特定のインピーダンスに整合させるように構成した I C試験装置において、第 1 のシールド導体の外側に第 2 のシールド導体を設け、この第 2 のシールド導体をその両端で共通電位に接続し、芯線とこの第 2 のシールド導体との間で特性インピーダンスを所定の値に維持できるようにする。

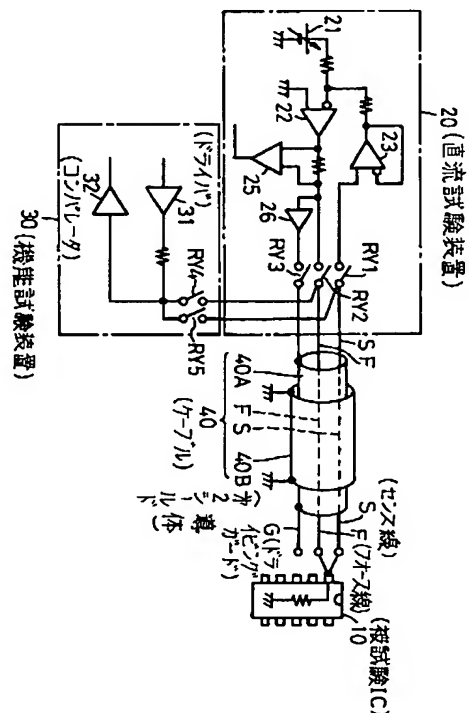


図 1

【実用新案登録請求の範囲】

【請求項 1】 外被にシールド導体を有するケーブルを利用して被試験 IC に直流を印加すると共に、この直流と同一電位を上記シールド導体に与えて上記直流が与えられた芯線をドライビングガードして行なう直流試験と、上記直流を被試験 IC に与える芯線を利用して被試験 IC にテストパターン信号を与えて行なう機能試験とを行なうことができる IC 試験装置において、
上記直流試験時にドライビングガードを構成するための第 1 のシールド導体の外側に絶縁して第 2 のシールド導体を設け、この第 2 のシールド導体の両端を共通電位に接続して第 2 のシールド導体と上記芯線との間で所定の特性インピーダンスに整合させるように構成した IC 試

験装置。

【図面の簡単な説明】

【図 1】 この考案の一実施例を示す接続図。

【図 2】 この考案の変形実施例を示す接続図。

【図 3】 従来の技術を説明するための接続図。

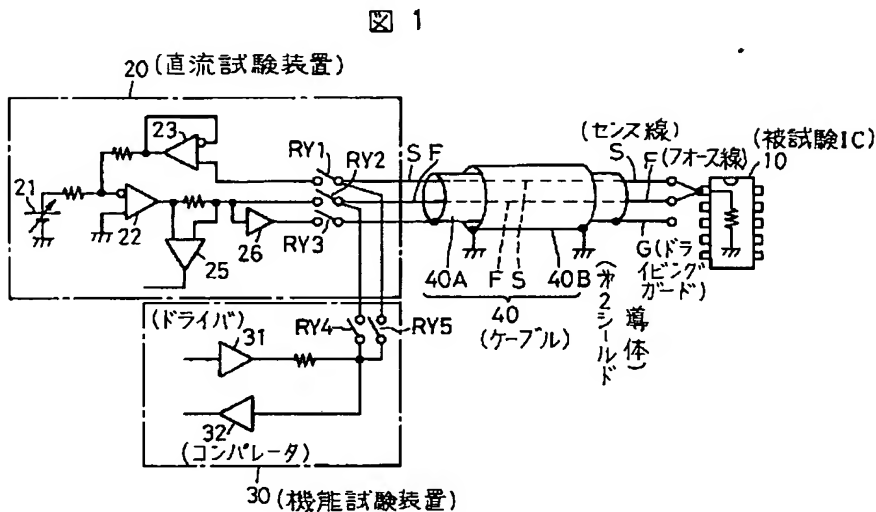
【図 4】 従来の不都合を説明するための波形図。

【符号の説明】

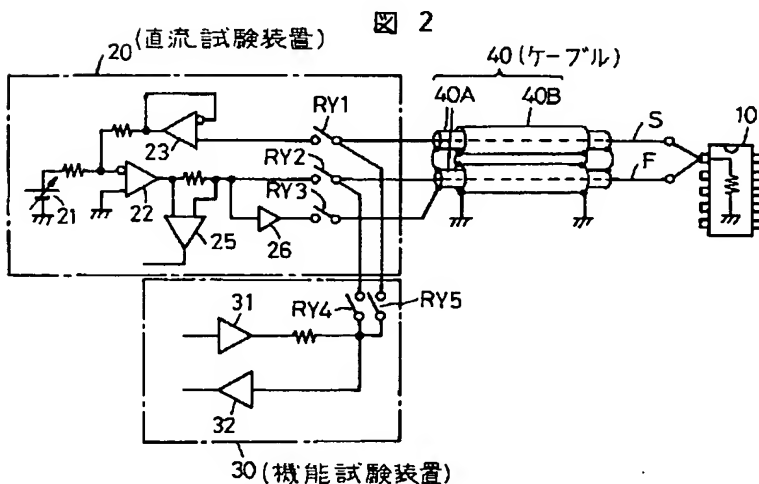
- 10 被試験 IC
- 20 直流試験装置
- 30 機能試験装置
- 40 ケーブル
- 40A 第 1 のシールド導体
- 40B 第 2 のシールド導体

【図 1】

【図 4】

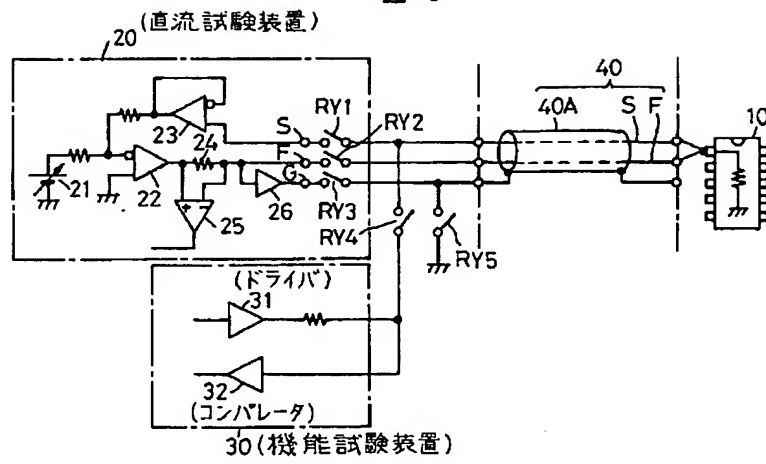


【図 2】



【図 3】

図 3



【考案の詳細な説明】**【0001】****【産業上の利用分野】**

この考案は I C の直流特性と機能試験の双方を行なう型式の I C 試験装置に関する。

【0002】**【従来の技術】**

I C の試験には直流試験と機能試験とが存在する。直流試験は被試験 I C の各端子に所定の電圧を与えたとき、予定している電流が流れるか否かを見る電圧印加電流測定試験と、被試験 I C の各端子に所定の電流を流し込むか、又は所定の電流を吐出させ、その状態で端子に予定している電圧が発生するか否かを見る電流印加電圧測定試験とがある。何れの試験も被試験 I C の端子の直流特性が予め予定している特性に作られているか否かを見る試験である。

【0003】

これに対し機能試験は被試験 I C に試験パターン信号を与え、試験パターン信号に正常に応動するか否かを試験して正常に動作するか否かを見る試験である。

図 3 に従来の I C 試験装置における試験装置と被試験 I C との間の接続構造を示す。図中 10 は被試験 I C、20 は直流試験装置、30 は機能試験装置、40 は試験装置 20 及び 30 と被試験 I C 10 との間を接続するケーブルを示す。

【0004】

直流試験装置 20 はこの例では電圧印加電流測定モードに切替られている場合を示す。電圧印加電流測定モードでは電圧発生器 21 と、この電圧発生器 21 が発生する電圧をケーブル 40 のフォース線 F に与える出力アンプ 22 と、被試験 I C 10 の端子に発生する電圧をケーブル 40 のセンス線 S から出力アンプ 22 に帰還するバッファアンプ 23 と、出力アンプ 22 が被試験 I C 10 の端子に所定の電圧を印加したときこの出力アンプ 22 から被試験 I C 10 に流れる電流を測定する電流検出抵抗器 24 と、この電流検出抵抗器 24 に発生する電圧を取出す差動増幅器 25 と、出力アンプ 22 の出力電圧をケーブル 40 のシールド導体 40 A に与え、ドライビングガードを構成するためのバッファアンプ 26 とによ

って構成される。

【0005】

ケーブル 40 はシールド導体 40A の内部に 2 本の芯線 F と S とを収納している。ここでは芯線 F を信号駆動用のフォース線、芯線 S を被試験 IC10 の端子ピンの電圧を検出するセンス線として動作する。

シールド導体 40A はバッファアンプ 26 を通じて出力アンプ 22 の出力側に接続され、シールド導体 40A の電位を芯線 F 及び S と同電位に偏倚させ、シールド導体 40A と芯線 F 及び S との間に電位差が発生しないようにしてドライビングガードを構成している。

【0006】

このように芯線 F、S とシールド導体 40A との間に電位差を発生させないドライビングガード構造とすることにより芯線 F、S をシールド導体 40A との間にコンデンサが形成されない状態と等価になる。この結果、芯線 F と S に与える直流電圧が高速度に変化しても等価的に浮遊容量が存在しないから、被試験 IC10 の端子に与えられる直流電圧も高速度に変化させることができる。また浮遊容量が存在しないから、芯線とシールド導体間に充電電流及び放電電流が流れない。よって微少な直流電流を被試験 IC10 に与えても、微少電流を正確に伝達することができる。更に芯線 F と S はシールド導体 40A に覆われているから、ノイズ等が混入することが阻止される。このようにして直流試験時はドライビングガードにより芯線 F と S が保護される。

【0007】

機能試験時には直流試験装置 20 とケーブル 40 との間に介挿したリレー RY1, RY2, RY3 を切断し、リレー RY4, RY5 をオンにしてケーブル 40 に機能試験装置 30 を接続する。機能試験装置 30 はドライバ 31 と、コンパレータ 32 とを有し、ドライバ 31 によって被試験 IC10 に試験パターン信号を与える。また被試験 IC10 が出力モードに切替わったとき、コンパレータ 32 は被試験 IC10 から出力される応答出力信号を取込み、その論理が期待値と一致するか否かを論理比較して判定を行なう。

【0008】

機能試験時はケーブル 4 0 は高速伝送路として動作しなければならない。このためケーブル 4 0 を所定の特性インピーダンスに整合させるためにシールド導体 4 0 A をリレー R Y 5 によって共通電位に接続し、ケーブル 4 0 を同軸線路として動作させ、芯線とシールド導体 4 0 A との間に特性インピーダンスを持たせるようにしている。

【0 0 0 9】

【考案が解決しようとする課題】

従来の回路構造によれば、シールド導体 4 0 A は機能試験装置 3 0 側においてリレー R Y 5 によって共通電位に接続されるだけで被試験 I C 1 0 側では共通電位に接続されない状態にある。このためにケーブル 4 0 は被試験装置 1 0 側でインピーダンス不整合が生じ、信号の反射等により例えば図 4 に示すような波形歪みを与える。この波形歪みにより試験パターン信号 P A を高速化することができない欠点がある。

【0 0 1 0】

つまり試験パターン信号 P A の繰返し周期を高速化することにより試験に要する時間を短縮し、短時間に多くの素子を試験できるように構成することが要求されるが、試験パターン信号の立上り部分に波形歪みが発生していることにより、試験パターン信号を高速化（パルス幅を狭くする）するとパルス幅の大部分が歪み部分に掛ってしまうため誤動作が起き易くなる。

【0 0 1 1】

この欠点を解消するにはケーブル 4 0 のシールド導体 4 0 A を被試験 I C 1 0 側でも共通電位に接続すれば良い。然し乍ら被試験 I C 1 0 側にリレーを設けるにはリレーの制御線を被試験 I C 1 0 側に配線しなければならない。ケーブル 4 0 の本数は被試験 I C 1 0 の端子ピンの数だけは用意しなければならない。

I C の端子ピン数は多いもので数 1 0 0 本のものがあるため、試験装置としてはこれを試験することができるよう現存する I C の最大ピン数を想定して用意しなければならない。この結果ケーブル 4 0 の本数は数 1 0 0 本となり、この本数と同数のリレー制御線を配線しなければならないことと、更にケーブル 4 0 の本数と同等数のリレーを被試験 I C 1 0 の搭載側つまり、パフォーマンスボードに

搭載しなければならなくなる。

【0012】

然し乍らパフォーマンスボードにはこのようなリレーの搭載スペースは既になく、然もケーブル40と同数のリレー制御線を配線することも不適當である。このためシールド導体40Aを被試験IC10側で直接共通電位に接続してしまうことが考えられるが、このように構成した場合には、シールド導体40Aの被試験IC10側で常時共通電位に接続されたままになり、この状態では直流試験時にケーブル40の浮遊容量を打消すためのドライビングガードが構成できない不都合が生じる。このような背景から従来は試験パターン信号を高速化することができない不都合がある。

【0013】

この考案の目的はケーブル40におけるインピーダンス不整合を解消し、よって波形歪が発生することがなく、高速動作を可能としたIC試験装置を提供しようとするものである。

【0014】

【課題を解決するための手段】

この考案では外被にシールド導体を有するケーブルを利用して被試験ICに直流を印加すると共に、この直流と同一電位をシールド導体を与えて直流が与えられた芯線をドライビングガードして行なう直流試験と、直流を被試験ICに与える芯線を利用して被試験ICにテストパターン信号を与えて行なう機能試験とを行なうIC試験装置において、

直流試験時にドライビングガードを構成するためのシールド導体の外側に絶縁して第2のシールド導体を設け、この第2のシールド導体の両端を共通電位に接続して第2のシールド導体と芯線との間で所定の特性インピーダンスに整合させるように構成する。

【0015】

この考案の構成によれば第2のシールド導体を試験装置側と被試験IC側の双方で共通電位に接続する。この結果、芯線と第2のシールド導体との間では所定の特性インピーダンスに整合させることができる。

然も芯線と第 2 のシールド導体との間には従来と同様に、ドライビングガード用のシールド導体が存在するから、直流試験時はドライビングガードを構成することができる。この結果ドライビングガードによってケーブルの浮遊容量の影響を除去した直流試験を行なうことができる。また機能試験時はケーブルの被試験 IC 側も正規の特性インピーダンスに整合させることができる。よって被試験 IC 側で反射が生じることがないから試験パターン信号を高速化することができる利点を得られる。

【0016】

【実施例】

図 1 にこの考案の一実施例を示す。図 1 において、図 3 と対応する部分には同一符号を付して示す。この考案ではドライビングガードを構成するための第 1 のシールド導体 40A の外側に、第 2 のシールド導体 40B を設け、この第 2 のシールド導体 40B の両端、つまり試験装置側と被試験 IC 10 側の双方で共通電位に接続する構造とした点を特徴とするものである。

【0017】

この第 2 のシールド導体 40B を設けたことにより、第 1 のシールド導体 40A は直流試験時にリレー RY3 によって直流試験装置 20 を構成するバッファアンプ 26 の出力端子に接続するだけでよく、機能試験時はどの電位からも切離され、フローティング状態となる。

従って従来第 1 のシールド導体 40A を共通電位に接続するために設けていたリレー RY5 が不要となるため、この実施例ではリレー RY5 をセンス線 S と機能試験装置 30 との間に接続し、機能試験時はフォース線 F とセンス線 S の双方に試験パターン信号を与える構成とすることができる。

【0018】

図 2 はこの考案の変形実施例を示す。図 2 の例では単芯の 2 重シールド構造のシールドケーブルを用いてケーブル 40 を構成した場合を示す。つまり単芯のシールドケーブルの一方をフォース線用とし、他の 1 本をセンス線用として利用し、これら単芯の 2 重シールドケーブルの各内側の第 1 のシールド導体 40A を共通接続してリレー RY3 に接続し、ドライビングガードを構成し、外側の第 2 の

シールド導体 3 0 B をその両端において共通電位に接続する。図 2 の実施例によれば単芯の 2 重シールド線は安価に手に入るため、装置のコストを高めることなく、高速動作可能な I C 試験装置を提供することができる。

【0 0 1 9】

【考案の効果】

以上説明したように、この考案によれば直流試験時はリレー R Y 3 をオンに制御することにより、第 1 のシールド導体 4 0 A にフォース線 F、センス線 S の双方と同一の電位を与える、いわゆるドライビングガード構造とするから、浮遊容量を通じて電流が充放電しないために微少電流を被試験 I C 1 0 に与える場合でも、その微少電流を正確に被試験 I C 1 0 に伝達することができる。また直流電圧、又は電流を高速に変化させても浮遊容量が存在しないから、その変化を遅延させることなく被試験 I C 1 0 に伝えることができる。

【0 0 2 0】

然も機能試験時は第 1 のシールド導体 4 0 A をフローテング状態としたからこの状態では第 1 のシールド導体 4 0 A は電氣的にはその存在は無視して見ることができ、第 2 のシールド導体 4 0 B をその両端で共通電位に接続したから、ケーブル 4 0 の両端部で特性インピーダンスを正規の値に整合させることができる。この結果、被試験 I C 1 0 側で信号の反射が起きることはない。よって試験パターン信号の波形が歪むことを解消することができ、試験パターン信号の繰返し周期を高速化しても誤動作することのない I C 試験装置を提供することができる利点が得られる。

【提出日】平成 5 年 1 月 2 7 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 7

【補正方法】変更

【補正内容】

【0 0 1 7】

この第 2 のシールド導体 4 0 B を設けたことにより、第 1 のシールド導体 4 0 A は直流試験時にリレー R Y 3 によって直流試験装置 2 0 を構成するバッファアンプ 2 6 の出力端子に接続するだけでよく、機能試験時はどの電位からも切離され、フローティング状態となる。

従来第 1 のシールド導体 4 0 A を共通電位に接続するために設けていたリレー R Y 5 はセンス線 S と機能試験装置 3 0 との間に接続し、機能試験時はフォース線 F とセンス線 S の双方に試験パターン信号を与える構成とする。